



Docket No.: L&L-I0062

Hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Markus Nollf Date: September 12, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Bernd Schmandt  
Applic. No. : 10/624,955  
Filed : July 22, 2003  
Title : Method for Operating a PLL Frequency Synthesis Circuit

CLAIM FOR PRIORITY

Commissioner for Patents,  
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 02 725.7, filed January 22, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf  
For Applicant

MARKUS NOLFF  
REG. NO. 37,006

Date: September 12, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/av



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 101 02 725.7  
**Anmeldetag:** 22. Januar 2001  
**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE  
**Bezeichnung:** Verfahren zum Betreiben einer PLL-  
Frequenzsyntheschaltung  
**IPC:** H 03 L, H 04 J

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. August 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Hintermeier

## Beschreibung

## Verfahren zum Betreiben einer PLL-Frequenzsyntheseschaltung

- 5 Die Erfindung betrifft ein Verfahren zum Betreiben einer PLL-Frequenzsyntheseschaltung einer TDMA/FDMA-Datenübertragungseinrichtung.

10 TDMA- (Time Division Multiple Access)-Verfahren und FDMA- (Frequency Division Multiple Access)-Verfahren sind Vielfachzugriffverfahren, die bei einer Vielzahl von Datenübertragungssystemen (schnurlose Telephonie, Datenaustausch zwischen Computern und Peripheriegeräten, usw.) zum Einsatz kommen. TDMA beruht auf der Unterteilung der Zeit in Zeitschlitzze, 15 welche dann für den "portionsweisen" Datenaustausch zwischen Endgeräten (z.B. Basis- und Mobilstationen) genutzt werden. FDMA repräsentiert das Analogon zu TDMA im Frequenzbereich, das heißt betrifft eine Unterteilung der Gesamtübertragungsbandbreite in einzelne Nutzerkanäle, welche mehreren Nutzern 20 für die gleichzeitige Datenübertragung zur Verfügung stehen.

Frequenzsprungverfahren, auch als FH- (Frequency Hopping-) Verfahren bezeichnet, kennzeichnen sich dadurch, daß für jeden Sender ein ständiges Wechseln der Sendefrequenz (das 25 heißt des Nutzerkanals) während des Sendebetriebs vorgeschrieben ist. FH erhöht die Interferenzdiversität, denn es garantiert, daß eine Übertragung über einzelne, stark gestörte Kanäle stets nur kurzzeitig erfolgt und deshalb innerhalb gewisser Grenzen hingenommen werden kann.

30 Zur Erzeugung der Sendefrequenz wird in Datenübertragungssystemen ein PLL- (Phase Locked Loop: Nachlaufsynchronisations-) Frequenzsynthesizer eingesetzt. Für die beim FH-Verfahren benötigten Frequenzwechsel ist aufgrund von Einschwingvorgängen 35 in der PLL eine gewisse Zeit erforderlich. Diese Zeit wird im folgenden als Einschwingzeit (Settle-Time) bezeichnet. Da die

Einschwingzeit nicht zur Datenübertragung genutzt werden kann, sollte sie so kurz wie möglich gehalten werden.

Das übliche Verfahren, um eine Verkürzung der Einschwingzeit der PLL zu erreichen, besteht darin, die Übertragungsbandbreite der PLL zu vergrößern. Nachteilig ist dabei die Verschlechterung der Rauschverhaltens der PLL.

Ein bekanntes Verfahren zum Betreiben eines PLL-Frequenzsynthesizers bei einem Frequenzwechsel besteht darin, die PLL des Frequenzsynthesizers nach Aussendung des zuletzt übertragenen Datenbursts oder Datenpaketes zu deaktivieren. Hierfür wird der spannungsgesteuerte Oszillator der PLL abgeschaltet. Der PLL-Frequenzsynthesizer wird dann auf den nächsten gewünschten Frequenzwert eingestellt und für die Übertragung des folgenden Datenbursts erneut aktiviert. Nach dem Einschwingvorgang wird der nächste Datenburst gesendet.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zum Betreiben einer PLL-Frequenzsyntheseschaltung für eine TDMA/FDMA-Datenübertragungseinrichtung anzugeben, welches kurze Einschwingzeiten der PLL-Frequenzsyntheseschaltung beim Frequenzwechsel ermöglicht.

Die der Erfindung zugrundeliegende Aufgabenstellung wird durch die Merkmale des Anspruchs 1 gelöst.

Demnach besteht die der Erfindung zugrundeliegende Idee darin, die PLL-Frequenzsyntheseschaltung bei einem Frequenzwechsel nicht zu deaktivieren, sondern in dem aktiven Zustand zu halten und von diesem aktiven Zustand aus den Einschwingvorgang in die nächste Ausgabefrequenz vorzunehmen. Der Vorteil dieser Vorgehensweise besteht darin, daß der Einschwingvorgang auf diese Weise schneller als bisher durchgeführt werden kann, weil einerseits die Frequenzen der in FDMA-Systemen verwendeten Kanäle üblicherweise relativ nahe beieinander liegen und andererseits die Freilauffrequenz des spannungsge-

steuerten Oszillators, auf welche dieser bei einer Aktivierung aus dem deaktivierten Zustand heraus anschwingt, häufig außerhalb des FDMA-Frequenzbandes liegt.

- 5 Eine erste bevorzugte Ausführungsweise des erfindungsgemäßen Verfahrens besteht darin, die PLL-Frequenzsyntheseschaltung während der nicht für Datenübertragungszwecke genutzten Zwischenperiode von der ersten Ausgabefrequenz direkt auf die zweite Ausgabefrequenz umzuprogrammieren. Alternativ hierzu
- 10 kann in ebenfalls bevorzugter Weise vorgesehen sein, die PLL-Frequenzsyntheseschaltung nach Ablauf der ersten Periode mit Datenübertragungstätigkeit zunächst auf eine geeignet im nutzbaren Frequenzband gelegene Einschwing-Basisfrequenz umzuprogrammieren, und dann, ausgehend von dieser Einschwing-
- 15 Basisfrequenz, auf die zweite Ausgabefrequenz zu wechseln. Die letztgenannte Variante ist dann bevorzugt, wenn nach Ablauf der ersten Periode mit Datenübertragungstätigkeit die nächste Ausgabefrequenz noch nicht bekannt ist.
- 20 Dadurch, daß für die Einschwing-Basisfrequenz die Mittenfrequenz des für den FDMA-Betrieb verwendeten Frequenzbandes gewählt wird, wird erreicht, daß der größte zu erwartende Frequenzsprung minimal wird. Da die für den Frequenzwechsel benötigte Einschwingzeit mit dem Abstand der Einschwing-Basis-
- 25 frequenz zu der zweiten Ausgabefrequenz zunimmt, kann auf diese Weise eine obere Schranke mit einer minimalen Größe für die Einschwingzeit bezüglich sämtlicher möglicher Frequenzwechsel im FDMA-Frequenzband angegeben werden.
- 30 Ein besonderer Vorteil wird durch das erfindungsgemäße Verfahren erreicht, wenn der Datenübertragung eine TDMA-Struktur zugrundeliegt, bei welcher der Beginn eines bestimmten Zeitschlitzes mit dem Beginn der ersten Datenübertragungsperiode zusammenfällt und der Beginn des nächsten Zeitschlitzes mit
- 35 dem Beginn der zweiten Datenübertragungsperiode zusammenfällt, und wobei die Zeitdauer zwischen dem Ende der ersten Datenübertragungsperiode und dem Anfang der zweiten Daten-

übertragungsperiode kürzer ist als diejenige Einschwingzeit der PLL-Frequenzsyntheseschaltung, die auftritt, wenn die PLL-Frequenzsyntheseschaltung aus dem deaktivierten Zustand auf die zweite Ausgabefrequenz geregelt würde. In diesem Fall ist bei dem erfindungsgemäßen Vorgehen in der verbleibenden Zeitdauer des betrachteten Zeitschlitzes noch ein Frequenzwechsel möglich, während beim herkömmlichen Verfahren der Frequenzwechsel zu einem späteren Zeitpunkt vollzogen werden muß. In der Praxis wird z.B. bei DECT-(Digital European Cordless Telecommunications-)Systemen häufig ein eigener Zeitschlitz der Dauer von  $416\mu\text{s}$  für den Frequenzwechsel verwendet, auch deshalb, weil auf diese Weise kostengünstigere PLL mit längeren Einschwingzeiten eingesetzt werden können. Durch das erfindungsgemäße Verfahren zum Betreiben einer PLL-Frequenzsyntheseschaltung kann dieser zusätzlich benötigte Zeitschlitz ggf. wieder eingespart werden.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

Die Erfindung wird nachfolgend anhand eines Beispiels unter Bezugnahme auf die Zeichnung beschrieben; in dieser zeigt:

Fig. 1 ein Blockschaltbild einer PLL-Schaltung;

Fig. 2 ein Blockschaltbild einer PLL-Frequenzsyntheseschaltung; und

Fig. 3 eine schematische Darstellung einer in einem Datenübertragungssystem verwendeten Zeitschlitz-Struktur sowie der zeitlichen Lage der Betriebszustände der PLL-Frequenzsyntheseschaltung innerhalb der Zeitschlitz-Struktur.

Fig. 1 zeigt den prinzipiellen Aufbau einer PLL-Schaltung. Die PLL-Schaltung umfaßt einen Phasendetektor PFD (Phase Frequency Detector), ein Schleifenfilter LF (Loop Filter) und

einen spannungsgesteuerten Oszillator VCO (Voltage Controlled Oscillator). Der VCO erzeugt eine periodische Schwingung  $y(t)$ , welche über eine Rückkoppelleitung FBL (Feedback Loop) einem ersten Eingang des Phasendetektors PFD zurückgeführt wird. Einem zweiten Eingang des Phasendetektors PFD wird eine Führungsgröße  $x(t)$  in Form einer Schwingung zugeführt. Die Variable  $t$  bezeichnet die Zeit.

Aufgabe der PLL-Schaltung ist es, die Ausgangsgröße  $y(t)$  in ihrem zeitlichen Verhalten der Eingangsgröße  $x(t)$  folgen zu lassen. Mit anderen Worten soll die Frequenz des spannungsgesteuerten Oszillators VCO so eingestellt werden, daß sie mit der Frequenz der Schwingung  $x(t)$  übereinstimmt. Hierzu wird die Phase des Ausgangssignals  $y(t)$  mit der Phase der Führungsgröße  $x(t)$  verglichen. Der Phasendetektor PFD gibt ein Ausgangssignal aus, welches ein Maß für die ermittelte Phasendifferenz zwischen diesen beiden Größen darstellt. Dieses Phasendifferenzsignal wird nach einer Tiefpaßfilterung in dem Schleifenfilter LF zur Steuerung des Oszillators VCO verwendet. Das Schleifenfilter LF bewirkt eine Glättung des Phasendifferenzsignals.

Aufgrund der Trägheit des Regelsystems kann die Ausgangsgröße  $y(t)$  einer sprunghaften Änderung der Führungsgröße  $x(t)$  nicht unmittelbar folgen. Die Zeit, welche benötigt wird, um die Frequenzabweichung zwischen  $x(t)$  und  $y(t)$  auf ein gewünschtes Maß zu reduzieren, wird als Einschwingzeit bezeichnet und im folgenden noch näher betrachtet.

Das anhand Fig. 1 erläuterte Regelprinzip kommt in einem PLL-Frequenzsynthesizer zur Anwendung. PLL-Frequenzsynthesizer werden in Datenübertragungseinrichtungen eingesetzt. Ihre Aufgabe besteht darin, aus einer konstanten Referenzfrequenz  $f_{ref}$  eine gewünschte Trägerfrequenz  $f_{out}$  zu generieren, welche um Größenordnungen über der Referenzfrequenz liegt. Von besonderer Bedeutung ist dabei die Fähigkeit des PLL-Frequenzsynthesizers, möglichst schnell zwischen verschiedenen

Ausgabefrequenzen  $f_{out}$  wechseln zu können. Das schnelle Wechseln zwischen verschiedenen Ausgabefrequenzen (Nutzerkanälen) ist speziell bei Datenübertragungseinrichtungen für die Mobil- bzw. Schnurlos-Telephonie von Bedeutung, da bei diesen  
5 Anwendungsfällen regelmäßig eine Vielzahl von Nutzerkanälen und das FH-Verfahren zum Einsatz kommen.

Für derartige Datenübertragungssysteme haben sich Übertragungsstandards wie DECT oder – in jüngster Zeit – Bluetooth  
10 entwickelt, die einen Frequenzsprungbetrieb FH voraussetzen. Bei FH wird jedem logischen Kanal (das heißt Teilnehmer) ein physikalischer Kanal (das heißt eine bestimmte Nutzerfrequenz) nur für eine bestimmte, kurze Zeit zugeordnet. Nach Ablauf dieser Zeit muß ein Frequenzwechsel erfolgen. Im Ergebnis  
15 wird während des gesamten Sendebetriebs (bzw. Empfangsbetriebs) ständig die Sendefrequenz (bzw. Empfangsfrequenz) gewechselt.

Fig. 2 zeigt ein Blockschaltbild eines PLL-Frequenzsynthesizers, welcher zur Durchführung des erfindungsgemäßen Verfahrens geeignet ist. Der PLL-Frequenzsynthesizer umfasst eine PLL-Schaltung gemäß Fig. 1, in deren Rückkoppelleitung FBL ein programmierbarer Frequenzteiler DIV vorhanden ist. Dem programmierbaren Frequenzteiler DIV wird ein Steuersignal C  
20 zugeführt, welches den Frequenzteiler DIV anweist, eine Frequenzteilung mit dem Teilerfaktor  $1/N$  vorzunehmen. Unterschiedliche Ausgabefrequenzen  $f_{out}$  werden dann durch wiederholtes Umprogrammieren des Frequenzteilers DIV herbeigeführt.

30 Bei DECT liegen die Trägerfrequenzen in einem Frequenzband zwischen 1880 bis 1900 MHz. Die konstante Referenzfrequenz  $f_{ref}$  wird von einem Schwingquarz abgeleitet und beträgt beispielsweise 5 MHz. Folglich wird bei DECT eine Frequenzteilung im Bereich zwischen  $1/376$  bis  $1/380$  vorgenommen ( $N$  kann  
35 dabei auch eine nicht ganze Zahl sein oder es kann zur Erzielung einer geeigneten Frequenzteilung ein weiterer Frequenzteiler (nicht dargestellt) mit festem Teilverhältnis zwi-



schen dem Schwingquarz und dem Phasendetektor PFD angeordnet sein).

Wie bereits erwähnt, ist der VCO das schwingungserzeugende  
5 Glied des PLL-Frequenzsynthesizers. Die Ausgabefrequenz  $F_{out}$  des VCO ergibt sich im einfachsten Fall aus einer linearen Funktion gemäß der Gleichung

$$F_{out} = F_{frei} + K_{vco} \times V_c.$$

10

Dabei ist  $F_{frei}$  die Frequenz des freilaufenden Oszillators VCO,  $K_{vco}$  ist die Spannungs-Frequenz-"Verstärkung" des Oszillators VCO und  $V_c$  ist die Steuerspannung, welche die Ausgabefrequenz  $F_{out}$  des Oszillators VCO beeinflusst.

15

Bei einem TDMA-Datenübertragungssystem werden die Daten "portionsweise" in sogenannten Bursts oder auch Datenpaketen übertragen. Im folgenden wird der Einfachheit halber zumeist von Datenbursts gesprochen, auch wenn Datenpakete gemeint  
20 sind.

25

Je nach betrachtetem Datenübertragungssystem werden in einem TDMA-Zeitschlitz entweder mehrere Datenbursts oder (maximal) ein Datenburst übertragen. Bei einer Paketübertragung ist es  
auch möglich, daß sich die Übertragung eines Datenpaketes über mehrere Zeitschlitze erstreckt. Die FH-Zeitpunkte sind ebenfalls je nach betrachtetem Standard unterschiedlich geregelt. Zum Beispiel können im Bluetooth-Standard in einem Zeitschlitz der Länge  $625\mu s$  zwei Frequenzsprünge auftreten  
30 und zwei Datenpakete ausgesendet werden. Die FH-Frequenzwechselzeitpunkte und TDMA-Zeitschlitzstruktur sind jedoch stets zeitlich aufeinander abgestimmt, d.h. kommensurabel. In vielen Fällen sind deshalb kurze PLL-Einschwingzeiten ausgesprochen hilfreich, z.B. um eine vorgegebene Zeitschlitzstruktur bei vorgegebener Burstlänge optimal nutzen zu können,  
35 oder um eine vorgegeben minimale FH-Sprungfrequenzrate bei einer vorgegebenen Burstlänge noch erfüllen zu können.

Dies wird im folgenden anhand eines Beispiels erläutert.

Fig. 3 zeigt zwei aufeinanderfolgende Zeitschlitz Z1 und Z2.

- 5 Der Zeitschlitz Z1 beginnt bei  $t_0$  und dauert bis  $t_2$ , der zweite Zeitschlitz Z2 beginnt bei  $t_2$  und dauert bis  $t_4$ .

- Beide Zeitschlitz Z1 und Z2 werden zur Datenübertragung genutzt. In dem Zeitschlitz Z1 wird ein erster Burst P1 in einem Zeitintervall von  $t_0$  bis  $t_1$  übertragen. Im Zeitintervall von  $t_1$  bis  $t_2$  der Länge  $\tau$  findet keine Datenübertragung statt. Ein zweiter Datenburst P2 wird im Zeitintervall  $t_2$  bis  $t_3$  übertragen. Das verbleibende Zeitintervall  $t_3$  bis  $t_4$  der Länge  $\tau$  des zweiten Zeitschlitzes Z2 weist wiederum keine Datenübertragungstätigkeit auf.
- 10  
15

- In dem Beispiel wird davon ausgegangen, daß die Übertragung des ersten Datenbursts P1 bei einer Frequenz  $F_{out1}$  erfolgt und für die Aussendung des zweiten Datenbursts eine andere Frequenz  $F_{out2}$  vorgesehen ist. Dies bedeutet, daß der in Fig. 2 dargestellte PLL-Frequenzsynthesizer für die Aussendung des zweiten Datenbursts P2 von der ersten Ausgabefrequenz  $F_{out1}$  zu der zweiten Ausgabefrequenz  $F_{out2}$  wechseln muß.
- 20

- Beim konventionellen Verfahren wird der PLL-Synthesizer hierfür nach jeder Aussendung eines Datenbursts P1, P2, das heißt zu den Zeitpunkten  $t_1$  und  $t_3$ , abgeschaltet. Der Grund für die Abschaltung besteht in einer Leistungersparnis während der Zeitdauern  $t_1$  bis  $t_2$  bzw.  $t_3$  bis  $t_4$ , in denen keine Datenübertragungstätigkeit stattfindet. Nach dem Abschalten des PLL-Frequenzsynthesizers wird dann der programmierbare Frequenzteiler DIV auf den gewünschten Wert für die zweite Ausgabefrequenz  $F_{out2}$  umprogrammiert und der PLL-Frequenzsynthesizer wird erneut aktiviert.
- 25  
30

Sofern  $\tau$  ausreichend lang ist, treten dabei keine Probleme auf. Schwierigkeiten ergeben sich jedoch für kurze Zeiten von  $\tau$ .

- 5    Denn beim erneuten Anschalten des Oszillators VCO schwingt dieser zunächst mit der Freilauffrequenz  $F_{\text{frei}}$  an. Eine exakte Einstellung der Freilauffrequenz  $F_{\text{frei}}$  ist aufgrund von Fertigungstoleranzen nicht möglich. Deshalb tritt in der Praxis der Fall auf, daß die Freilauffrequenz  $F_{\text{frei}}$  außerhalb  
10    des vorgesehenen FDMA-Frequenzbandes liegt. In diesem Fall verlängert sich durch die Regelverzögerung der PLL die Gesamtzeit, die für den Einschwingvorgang vom deaktivierten Zustand auf die gewünschte Ausgabefrequenz  $F_{\text{out2}}$  benötigt wird.
- 15    Um einen Frequenzwechsel in kürzerer Zeit durchführen zu können, sieht die Erfindung vor, den spannungsgesteuerten Oszillator VCO nach Abarbeitung des vorhergehenden Datenbursts  $P_1$  nicht zu deaktivieren, sondern sofort auf die Zielfrequenz  $F_{\text{out2}}$  umzuprogrammieren. Der Einschwingvorgang erfolgt dann  
20    von  $F_{\text{out1}}$  nach  $F_{\text{out2}}$  und ist schneller als beim herkömmlichen Verfahren.

- Sofern die Zielfrequenz  $F_{\text{out2}}$  zum Zeitpunkt  $t_1$  noch nicht bekannt ist, besteht die Möglichkeit, den Oszillator entweder  
25    auf der bisherigen Frequenz  $F_{\text{out1}}$  weiterlaufen zu lassen, oder auf eine andere geeignete Frequenz im Frequenzband, insbesondere auf dessen Mittenfrequenz, einzuregeln. Sobald die neue Frequenzinformation für den PLL-Frequenzsynthesizer bereitsteht, ermöglicht das erfindungsgemäße Verfahren, in kür-  
30    zester Zeit in die zweite Ausgabefrequenz  $F_{\text{out2}}$  überzuwechseln.

- Es wird darauf hingewiesen, daß die Erfindung in bestimmten Fällen eine Erhöhung der Informationsübertragungsrate ermöglicht.  
35    Dies ist der Fall, wenn beim konventionellen Vorgehen (Deaktivieren des VCO nach jeder Datenburst-Übertragung) die verbleibende Zeit  $\tau$  bis zum Beginn des nächsten Zeitschlitzes

Z2 bei entsprechend knapper Dimensionierung der Zeitschlitzstruktur nicht mehr ausreicht, um den PLL-Frequenzsynthesizer bis zum Zeitpunkt  $t_2$  in den eingeschwungenen Zustand (Ausgabefrequenz:  $F_{out2}$ ) zu bringen. In diesem Fall kann der Datenburst P2 nicht im Zeitschlitz Z2 ausgesendet werden, sondern die Aussendung des Datenburst P2 muß in den nächsten Zeitschlitz Z3 oder in einen noch späteren Zeitschlitz verlegt werden. Durch die mittels des erfindungsgemäßen Verfahrens erzielte Verkürzung der Einschwingzeit kann in einer solchen Situation der Einschwingvorgang eventuell noch rechtzeitig zum Zeitpunkt  $t_2$  abgeschlossen werden, so daß der Datenburst P2 noch im zweiten Zeitschlitz Z2 übertragen wird.

## Patentansprüche

1. Verfahren zum Betreiben einer PLL-Frequenzsyntheseschaltung einer TDMA/FDMA-Datenübertragungseinrichtung, wobei

- 5 - sich die PLL-Frequenzsyntheseschaltung (PFD, LF, VCO, DIV) während einer ersten Periode ( $t_0$ - $t_1$ ) mit Datenübertragungstätigkeit (P1) in einem aktiven Zustand befindet und eine erste Ausgabefrequenz (Fout1) synthetisiert,
- während einer sich daran anschließenden Zwischenperiode  
10 ( $t_1$ - $t_2$ ) keine Datenübertragungstätigkeit der TDMA/FDMA-Datenübertragungseinrichtung vorgesehen ist, und
- sich die PLL-Frequenzsyntheseschaltung (PFD, LF, VCO, DIV) während einer an die Zwischenperiode ( $t_1$ - $t_2$ ) anschließenden  
15 zweiten Periode ( $t_2$ - $t_3$ ) mit Datenübertragungstätigkeit (P2) erneut in einem aktiven Zustand befindet und eine zweite Ausgabefrequenz (Fout2) synthetisiert, die unterschiedlich zu der ersten Ausgabefrequenz (Fout1) ist, und
- wobei die PLL-Frequenzsyntheseschaltung (PFD, LF, VCO, DIV) über das Ende der ersten Periode ( $t_0$ - $t_1$ ) hinweg und während  
20 der gesamten Zwischenperiode ( $t_1$ - $t_2$ ) in einem aktiven Zustand gehalten wird, aus welchem heraus der Einschwingvorgang auf die zweite Ausgabefrequenz (Fout2) vorgenommen wird.

25 2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t,

- daß die PLL-Frequenzsyntheseschaltung (PFD, LF, VCO, DIV) während der Zwischenperiode ( $t_1$ - $t_2$ ) von der ersten Ausgabefrequenz (Fout1) direkt auf die zweite Ausgabefrequenz  
30 (Fout2) umprogrammiert wird.

3. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t,

- daß die PLL-Frequenzsyntheseschaltung (PFD, LF, VCO, DIV) nach Ablauf der ersten Periode ( $t_0$ - $t_1$ ) von der ersten Ausgabefrequenz (Fout1) auf eine geeignet im nutzbaren Fre-  
35

quenzband gelegene Einschwing-Basisfrequenz umprogrammiert wird.

4. Verfahren nach Anspruch 3,

5 d a d u r c h g e k e n n z e i c h n e t,

- daß es sich bei der Einschwing-Basisfrequenz um die Mittenfrequenz des für den FDMA-Betrieb vorgesehenen Frequenzbandes handelt.

10 5. Verfahren nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß der Datenübertragung eine TDMA-Struktur (Z1, Z2, Z3) zugrundeliegt, bei welcher der Beginn eines bestimmten Zeitschlitzes (Z1) mit dem Beginn (t0) der ersten Periode (t0-t1) zusammenfällt und der Beginn des nächsten Zeitschlitzes (Z2) mit dem Beginn der zweiten Periode (t2-t3) zusammenfällt, und wobei die Zeitdauer zwischen dem Ende der ersten Periode (t0-t1) und dem Anfang der zweiten Periode (t2-t3) kürzer ist als diejenige Einschwingzeit der PLL-Frequenzsyntheseschaltung (PFD, LF, VCO, DIV), die auftritt, wenn die PLL-Frequenzsyntheseschaltung (PFD, LF, VCO, DIV) vom deaktivierten Zustand auf die zweite Ausgangsfrequenz (Fout2) geregelt würde.

25 6. Verfahren nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß die Datenübertragung gemäß Bluetooth-Standard erfolgt.

7. Verfahren nach einem der vorhergehenden Ansprüche,

30 d a d u r c h g e k e n n z e i c h n e t,

- daß die Datenübertragung gemäß DECT-Standard erfolgt.

## Zusammenfassung

## Verfahren zum Betreiben einer PLL-Frequenzsyntheseschaltung

- 5 Bei einem Verfahren zum Betreiben einer PLL-Frequenzsyntheseschaltung befindet sich diese während einer ersten Datenübertragungsperiode ( $t_0-t_1$ ) in einem aktiven Zustand und synthetisiert eine erste Ausgabefrequenz ( $F_{out1}$ ). Während einer späteren zweiten Datenübertragungsperiode ( $t_2-t_3$ ) ist die
- 10 Schaltung ebenfalls aktiv und synthetisiert eine zweite, unterschiedliche Ausgabefrequenz ( $F_{out2}$ ). In einer dazwischen liegenden Zeitperiode ( $t_1-t_2$ ) wird die PLL-Frequenzsyntheseschaltung in dem aktiven Zustand gehalten und aus diesem aktiven Zustand heraus auf die zweite Ausgabefrequenz geregelt.

15

(Fig. 3)

1/1

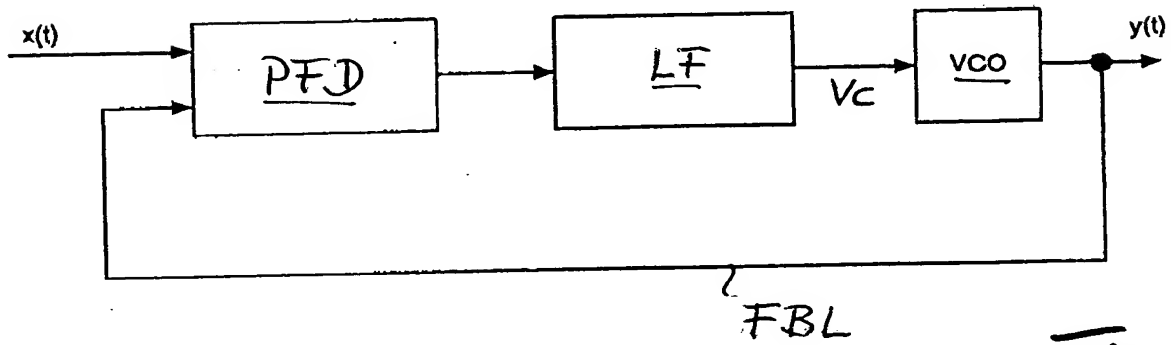
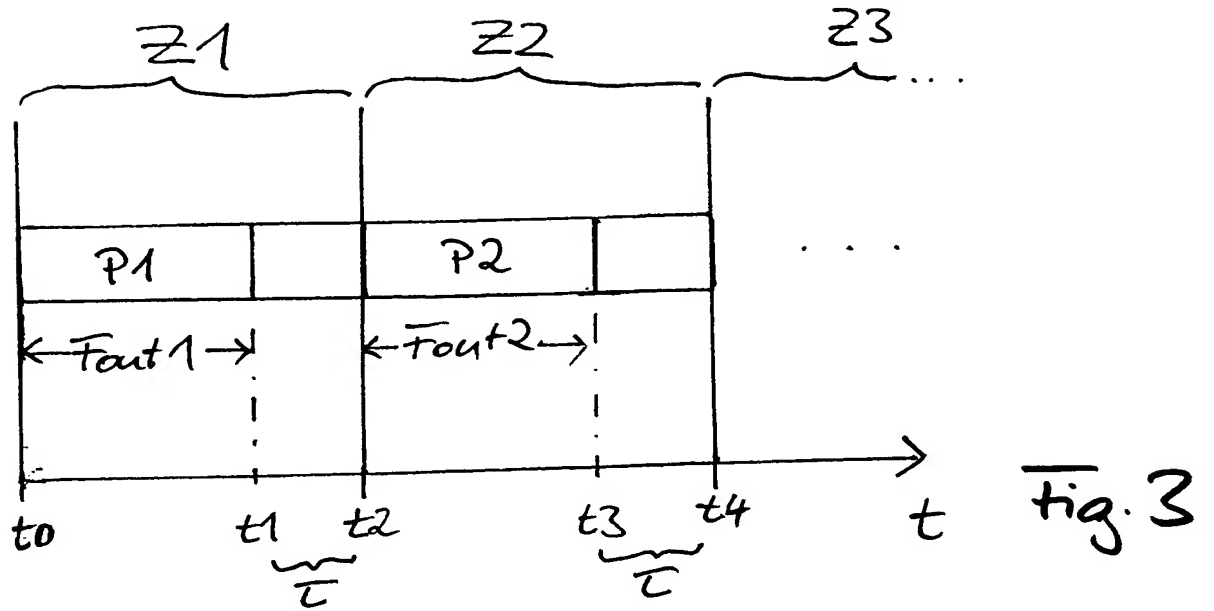


Fig. 1

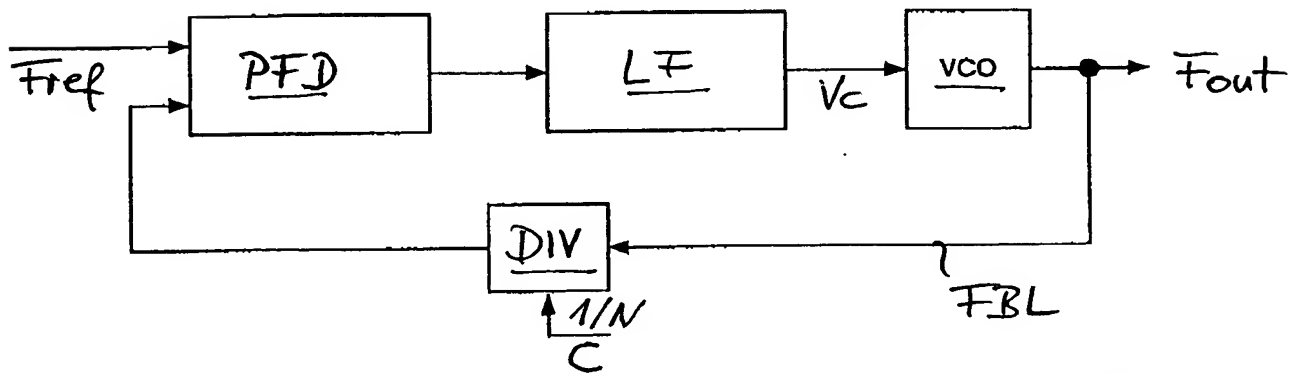


Fig. 2



1/1

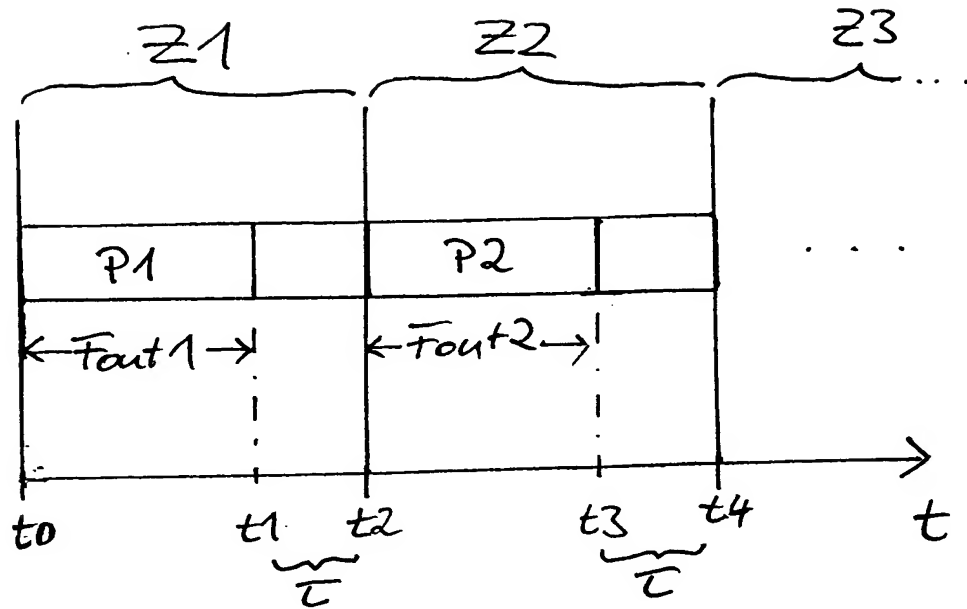


Fig. 3

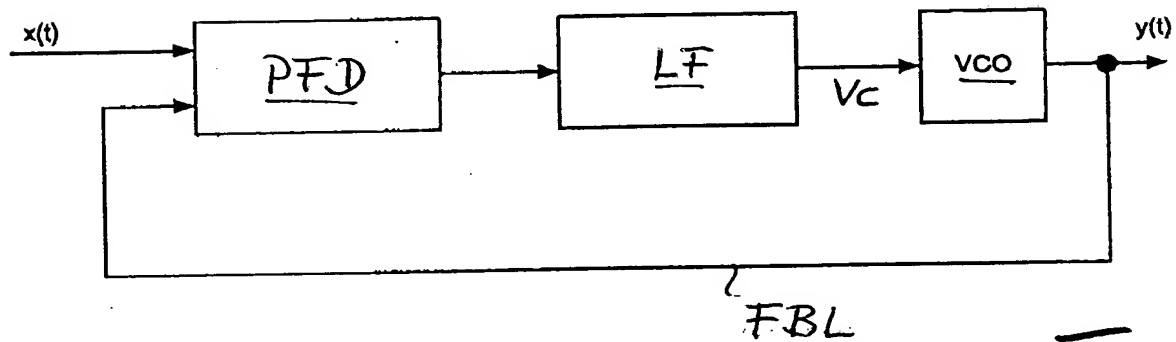


Fig. 1

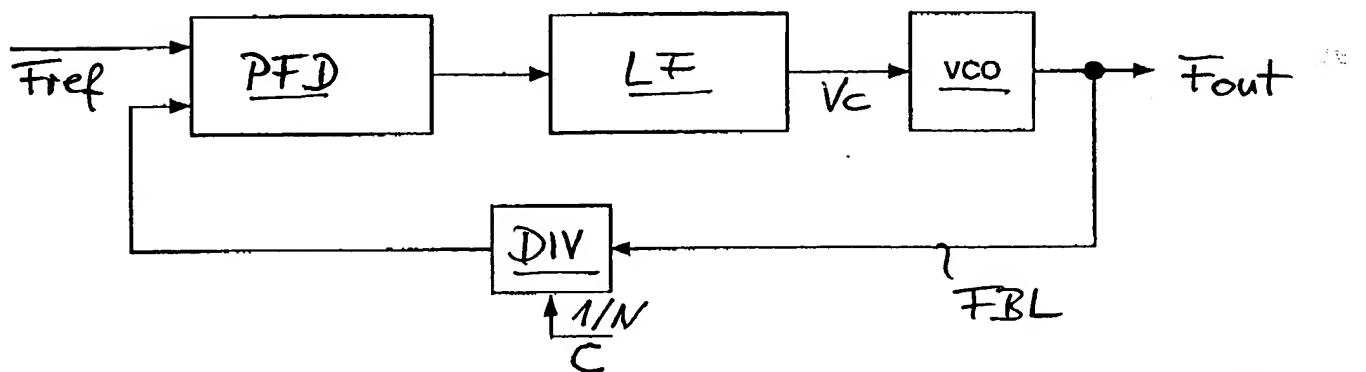


Fig. 2